

Inhaltsverzeichnis

Hinweis: Inhalte, die weiterführende, herausforderndere und schwierigere Themen aufgreifen, sind vorrangig für Leser mit Interesse an einer weiteren Vertiefung bestimmt und können bei einer ersten Befassung durchweg übersprungen werden. Gestuft nach zunehmender Herausforderung sind sie mit ([†]), mit (^{††}) oder mit (^{†††}) gekennzeichnet.

1.	Einführung.....	11
1.1	Für wen ist dieses Buch gedacht?.....	11
1.2	Lehrmethoden, Lernmittel und Lernziele	14
1.3	Hinweise zur Nutzung	16
1.4	Überblick über die Inhalte	16
2.	Bausteine, grundlegende Konzepte und Verfahren	19
2.1	Begriffe, Bausteine und Elemente	19
2.2	Basis-Verknüpfungen und -Operatoren, Notation.....	21
2.3	Methoden der Schaltungsanalyse	27
2.3.1	Überführung Schaltungsdiagramm $\Rightarrow$ Boolescher Ausdruck.....	27
2.3.2	Überführung Boolescher Ausdruck $\Rightarrow$ Schaltungsdiagramm.....	28
2.3.3	Überführung Boolescher Ausdruck $\Rightarrow$ Wahrheitstabelle	28
2.3.4	Überführung Wahrheitstabelle $\Rightarrow$ Boolescher Ausdruck	28
2.3.5	Überführung Schaltungsdiagramm $\Rightarrow$ Wahrheitstabelle	29
2.3.6	Überführung Signaldiagramm $\Rightarrow$ Wahrheitstabelle bzw. Wahrheits- tabelle $\Rightarrow$ Signaldiagramm	30
2.4	Umformung und Vereinfachung von Booleschen Ausdrücken.....	31
2.4.1	Verfahren der Booleschen Algebra.....	31
2.4.1.1	Mächtigkeit von Operatoren und Handhabung von Klammern	34
2.4.1.2	Beispiel zur konjunktiven (AND, $\wedge$) Verknüpfung (^{††})	35
2.4.1.3	Beispiel zur Umformung der XOR-Operation	35
2.4.1.4	Beispiel zur Umformung der Äquivalenz-Operation	36
2.4.2	Verfahren nach Karnaugh-Veitch (KV-Verfahren)	38
2.4.2.1	Vollkonjunktion und ODER-Normalform	38
2.4.2.2	KV-Diagramm	39
2.4.2.3	Päckchen	41
2.4.2.4	Vereinfachungsregeln mit Päckchen	41
2.4.2.5	Erweiterung auf fünf und mehr Variable (^{††})	43
2.4.2.6	Don't Cares	44
2.4.2.7	Zusammenfassung KV-Vereinfachungsverfahren	45
2.4.3	Zusammenfassung und Übungen Kapitel 2.4	45
2.4.3.1	Gesamtdarstellung der Umformungs- und Überführungs- verfahren, am Beispiel von 3 Variablen.....	46

3. Spezielle Kodierungen und ihre Anwendung	49
3.1 Binär-Kodierungen von Zahlenwerten, Binär-Addition und Binär-Subtraktion.....	49
3.1.1 Darstellung von natürlichen Zahlenwerten	49
3.1.1.1 Umwandlung Polyadische Kodierung mit Basis der Form $2^n \Rightarrow$ Polyadische Kodierung mit Basis der Form 2^m	51
3.1.1.2 Umwandlung Polyadische Kodierung $\Rightarrow$ Dezimalwert D	52
3.1.1.3 Umwandlung Dezimalwert $D \Rightarrow$ Polyadische Kodierung.....	52
3.1.1.4 Faustregel zur Abschätzung Dezimalwert $\Leftrightarrow$ Dualwert.....	52
3.1.2 Darstellung von rationalen Zahlenwerten als Festkomma-Zahlen.....	53
3.1.2.1 Umwandlung Dual-Kodierung mit Nachkomma-Stellen $\Rightarrow$ Dezimalwert D mit Nachkomma-Stellen	54
3.1.2.2 Umwandlung Dezimalwert D mit Nachkomma-Stellen $\Rightarrow$ Polyadische Kodierung mit Nachkomma-Stellen.....	54
3.1.2.3 Abschneidung und Rundung von positiven Festkommazahlen.....	55
3.1.3 Additionsverfahren in Dual-Kodierung	57
3.1.4 Darstellung und Verarbeitung von negativen rationalen Zahlenwerten..	58
3.1.4.1 Zweierkomplement mit Vorzeichen	59
3.1.4.2 Subtraktion mittels Zweierkomplement <i>mit</i> Vorzeichen (†).....	61
3.1.4.3 Vier-Quadranten-Addition mittels Zweierkomplement <i>mit</i> Vorzeichen (††)	62
3.1.4.4 Subtraktion mittels Zweierkomplement <i>ohne</i> Vorzeichen	63
3.1.4.5 Zusammenfassende Hinweise zur Addition und Subtraktion von 2K <i>mit</i> Vorzeichen und <i>ohne</i> Vorzeichen	65
3.1.4.6 Darstellung negativer Zahlenwerte als vorzeichenbehaftete Dualzahl (Signed Binary) (†††)	65
3.1.4.7 Darstellung negativer Zahlenwerte als Offset Binary (††)	66
3.1.4.8 Negative Festkommazahlen (††)	68
3.1.4.9 Abschneiden und Rundung von negativen Festkommazahlen (††)..	68
3.1.4.10 Einer- und Zweierkomplement in HEX-Kodierung	70
3.2 Weitere Binärkodierungen.....	71
3.2.1 Binary Coded Decimal (BCD) (†)	71
3.2.2 Einschrittige Codes (Gray Code) (†)	72
3.2.3 Zusammenfassung numerische Binär-Codes (†)	74
3.2.4 Gleitkomma-Kodierung (†††).....	74
3.2.5 Alpha-numerische Kodierung (††).....	78
3.2.6 Grafische Kodierung (†)	78
3.2.6.1 Strich- oder Balken-Codes (†).....	78
3.2.6.2 Farb-Kodierung (†)	80
3.2.6.3 Matrix-Codes, 2D- und 3D-Codes	81
3.2.7 Redundante Kodierung (††)	83

3.2.7.1	Disparity	84
3.2.7.2	Redundante Radix Codes	85
3.2.7.3	Booth-Kodierung	86
3.2.8	Überführung von nicht-digitalen in digitale Werte ([†]).....	87
3.2.8.1	Kodierung analoger (kontinuierlicher) Messwerte (^{††})	87
3.2.8.2	Lineare Winkelwert-Kodierung ([†])	92
3.2.8.3	Nichtlineare Winkelwert-Kodierung (^{†††})	93
3.3	Einige Grundlagen aus der Kombinatorik ([†])	94
3.3.1	Kombinationen ([†]).....	95
3.3.2	Permutationen (^{††}).....	98
4	Entwurf kombinatorischer Schaltungen an Beispielen.....	101
4.1	Lichtschrankschaltung	102
4.1.1	Zufahrtskontrolle	102
4.1.2	Füllstandanzeige	105
4.2	Code-Wandler-Schaltungen	107
4.2.1	Code-Wandler Eins-aus-X oder One-Hot.....	107
4.2.2	Weitere Beispiele für Eins-aus-X oder One-Hot-Kodierung.....	110
4.2.3	Systematischer Entwurf von Code-Wandlern.....	111
4.2.3.1	Beispiel: Dual-nach-Gray-Wandler	111
4.2.3.2	Beispiel: <i>serieller</i> Gray-nach-Dual-Wandler ([†])	112
4.3	Auswahlschaltungen (MUX) und Verzweigungsschaltungen (DEMUX)....	115
4.3.1	Multiplexer und Demultiplexer	115
4.3.2	Multiplexer	116
4.3.2.1	Elementare 1-Bit-Auswahlschaltung (MUX).....	116
4.3.2.2	2×2-Bit-nach-1×2-Bit-MUX	117
4.3.2.3	4×1-Bit-nach-1×1-Bit-MUX	117
4.3.2.4	4×2-Bit-nach-1×2-Bit-MUX ([†])	118
4.3.2.5	Weitere MUX-Konfigurationen (^{††}).....	118
4.3.3	Demultiplexer	119
4.3.3.1	Elementare 1-Bit-Verzweigungsschaltung (DEMUX)	119
4.3.3.2	1×2-Bit-nach-2×2-Bit-DEMUX.....	120
4.3.3.3	1×1-Bit-nach-4×1-Bit-DEMUX.....	121
4.3.3.4	1×2-Bit-nach-4×2-Bit-DEMUX ([†]).....	121
4.3.3.5	1×2-Bit-nach-16×2-Bit-DEMUX (^{††}).....	121
4.3.4	Simulation und Testung.....	122
4.3.5	Zusammenfassung	123
4.4	Fehlerkodierung.....	125
4.4.1	Parität und Paritäts-Bits	126
4.4.1.1	Parität und XOR.....	127

4.4.1.2	Fehlererkennung mit zeilenweiser Paritätsbestimmung (Zeilenprüfung)	127
4.4.1.3	Fehlererkennung und -korrektur mit Paritätsbestimmung im Block (Blockprüfung).....	128
4.4.1.4	Redundanz	129
4.4.2	Hamming- (n,k) -Kodierung.....	130
4.4.2.1	Bestimmung der Paritäts-Bits (Encoder oder Paritätsgenerator)...	130
4.4.2.2	Überblick über das gesamte Verfahren	132
4.4.2.3	Fehlereintrag.....	132
4.4.2.4	Decoder	134
4.4.2.5	Fehlerberechnung ($\dagger$)	136
4.4.2.6	Fehlerkorrektur ($\dagger$).....	137
4.4.2.7	Gesamtschaltung ($\dagger$).....	138
4.4.2.8	Allgemeine Anmerkungen zur Hamming- (n,k) -Kodierung	139
5.	Speicherbasierte und sequenzielle Schaltungen.....	141
5.1	Grundlagen, Bausteine und Methoden der Schaltungsentwicklung	141
5.1.1	Bistabile Kippschaltungen	141
5.1.2	Dominanz-Vorschaltungen	144
5.1.3	Takt-Kontrolle.....	145
5.1.4	Tabellen-Darstellung für Flipflops.....	147
5.1.5	Charakteristische Flipflop-Bedingung	149
5.1.6	Die wichtigsten Typen flankengesteuerter Flipflops	150
5.1.6.1	Umwandlung einer Flipflop-Funktion in eine andere ($\dagger\dagger$)	153
5.1.6.2	Generelles Verfahren für Flipflop-Funktions-Umwandlungen ($\dagger$)	154
5.1.7	Vergleich Taktzustandssteuerung und Taktflankensteuerung beim D-Flipflop.....	156
5.2	Zähler und einfache Automaten.....	158
5.2.1	Zähler	159
5.2.1.1	Synchroner 2-Bit-Dual-Vorwärtzähler	160
5.2.1.2	Verfahrensschritte für 2-Bit-Dual-Vorwärtzähler.....	161
5.2.1.3	Übungen Gray-Vorwärtzähler ($\dagger$)	163
5.2.1.4	Übung 2-Bit-Dual-Vorwärtzähler mit SR-Flipflops ($\dagger$)	164
5.2.1.5	Übung 2-Bit-Dual-Vorwärtzähler mit TH-Flipflops ($\dagger$).....	166
5.2.1.6	Übung 3-Bit-Dual-Vorwärtzähler.....	166
5.2.1.7	Mehr-Bit-Dual-Vorwärtzähler	167
5.2.1.8	Kaskadierte Mehr-Bit-Dual-Zähler	168
5.2.2	Dual-Rückwärtzähler.....	169
5.2.3	Zähler mit erweiterten Funktionen.....	171
5.2.4	Automaten ($\dagger$).....	174
5.2.4.1	Überblick.....	174
5.2.4.2	Tabellenverfahren.....	176

5.2.4.3	Beispiel Eingabe-Sperr- und Synchronisier-Schaltung	177
5.2.4.4	Übungen	179
5.2.4.5	Übung Steigende- und Fallende-Flanke-Detektor (^{††})	180
5.2.4.6	Automat zur Zustand-nach-Flanke-(Manchester-)Kodierung ([†])..	180
5.2.4.7	Kleinprojekt Geldwechselautomat (^{††})	183
5.2.5	Asynchrone Zähler	183
5.2.5.1	Asynchroner Dual-Rückwärtszähler	184
5.2.5.2	Asynchroner Dual-Vorwärtszähler	184
5.2.5.3	Asynchrone Setz- und Rücksetzmöglichkeiten	185
5.2.5.4	Verzögerungseffekt und Clock Skew	186
5.3	Frequenzteiler	187
5.4	Schieberegister	189
5.4.1	Seriell-serielle Datenspeisung mit n -Takt-Verzögerung	190
5.4.2	Seriell-parallele Datenspeisung	191
5.4.3	Parallel-serielle Datenspeisung	192
5.4.4	Ringschieberegister	193
5.4.5	Übung: Schieberegister als Zustandsmaschine (^{††})	194
5.5	Speicherregister	194
5.6	Speicher-Schieberegister ([†])	195
5.7	Speicher-Architektur	196
5.7.1	1-Bit-Speicher-Element	196
5.7.2	Speicher-Kaskadierung, Busse, Bus-Breiten und Ansteuerung	198
5.7.3	16×4-Bit-Speicher-Architekturen	198
5.7.4	Adress-Enkodierung und Adress-Dekodierung	199
5.7.5	4×1-Bit-Speicherzelle	202
5.7.6	Speicher-Erweiterung, 16×8-Bit- und 32×4-Bit-Speicher	203
5.7.7	Gegenüberstellung Random Access Memory (RAM) und Read Only Memory (ROM)	204
5.7.8	Realisierung von Digitalschaltungen auf Speicher-Basis ([†])	204
5.7.9	Kleinprojekt Asynchrone Schnittstelle (UART) (^{†††})	206
6.	Weiterführende Anwendungen	209
6.1	Rechenwerke	209
6.1.1	Addition	210
6.1.1.1	Halbaddierer	210
6.1.1.2	Volladdierer	211
6.1.1.3	Ripple-Carry-Addierwerk	212
6.1.1.4	Carry-Look-Ahead-Addierwerk (CLA) (^{†††})	213
6.1.2	Subtraktion ([†])	216
6.1.2.1	Halbsubtrahierer	216

6.1.2.2	Vollsubtrahierer	216
6.1.2.3	Ripple-Borrow-Subtrahierwerk	217
6.1.3	Addier-Subtrahierwerke (^{††})	218
6.1.4	Kleinprojekt ALU ([†])	219
6.1.5	Komparator	220
6.1.5.1	1-Bit-Komparator	220
6.1.5.2	Mehr-Bit-Komparator ([†])	220
6.1.6	Serielle Rechenwerke	222
6.1.6.1	Seriell-Addierwerk	223
6.1.6.2	Seriell-paralleles Addierwerk ([†])	224
6.1.6.3	Seriell-Subtrahierwerk (^{††})	224
6.1.6.4	Serieller Komparator ([†])	225
6.1.7	Multiplikation	226
6.1.7.1	Rückblick Dezimal-Multiplikation	227
6.1.7.2	1-Bit×1-Bit-Dual-Multiplikation	227
6.1.7.3	Mehr-Bit-Dual-Multiplikation	227
6.1.7.4	2-Bit×2-Bit-Dual-Multiplikation ([†])	228
6.1.7.5	Bit-Schiebe-Multiplikation	229
6.2	Signalgenerierung	231
6.2.1	Akkumulator	231
6.2.2	Sägezahn	233
6.2.3	Einfache digitale Funktionsgeneratoren ([†])	235
6.2.3.1	Signalgeneratoren ([†])	235
6.2.3.2	Kleinprojekt speicherbasierter Sinus-Generator (^{††})	236
6.2.3.3	Kleinprojekt Iterative Erzeugung von Sinus und Cosinus (^{†††})	237
6.2.4	Pulsweiten-Modulation (PWM)	241
6.2.4.1	Kleinprojekt PWM-Generator (^{††})	242
6.3	Anwendungen mit rückgekoppelten Schieberegistern (^{††})	242
6.3.1	Rückkopplungs-Netzwerk	242
6.3.2	Klassifizierung von Rückkopplungs-Netzwerken ([†])	244
6.3.3	Analyse rückgekoppelter Schieberegister (^{†††})	246
6.3.4	Zyklische Redundanzprüfung (Cyclic Redundancy Check) (^{††})	248
6.3.5	Pseudo-Zufallssequenzen (^{††})	254
6.3.6	Hardware-Verschlüsselung (^{†††})	256
6.3.7	Qualifizierung von Zufallssequenzen, Korrelation (^{†††})	259
	Hinweise und Lösungen zu den Übungen	263
	Stichwortverzeichnis	349

Der Autor dankt dem Kollegen Herbert Krauß für unzählige Hinweise zur Verbesserung des Buches. Viele Generationen von Studenten haben ebenso kritisch beigetragen.